



SALEAGLE®4（以下简称为 EG4） FLASH 启动加载时间测试

1 术语/缩略词

FPGA : Field Programmable Gate Array 现场可编程门阵列

TangDynasty®（以下简称为 TD） : Tang Dynasty 安路 FPGA 开发环境

2 测试环境

软件版本 : TD4. 2. 285

硬件平台 : EEG4X20_MINI_DEV

示波器 : Tek MD03104

3 测试步骤

打开(或新建)一个 EEG4X20BG256 的工程, 在 Properties Configuration 中, 对 mclk_freq_div 进行配置, 其时钟频率从 2.5MHz 到 30MHz, 都可进行设置, 保存配置, 如图 1 所示。

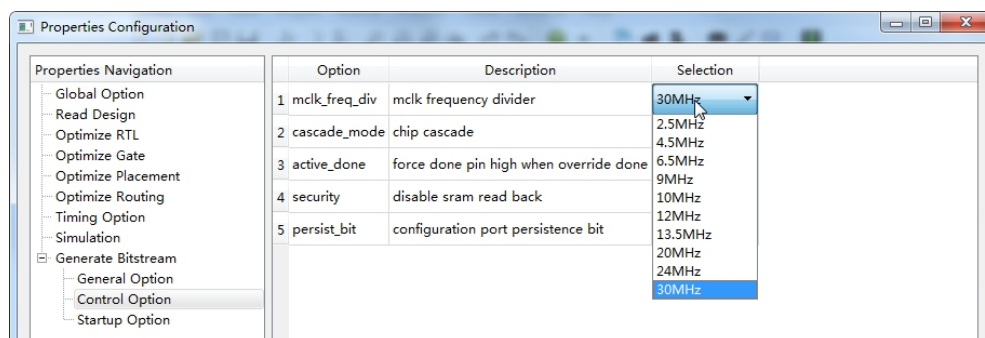


图 1 Properties Configuration 界面

在 Download 界面中选择 bit 文件, 下载模式选择 PROGRAM FLASH 下载, 如图 2 所示。

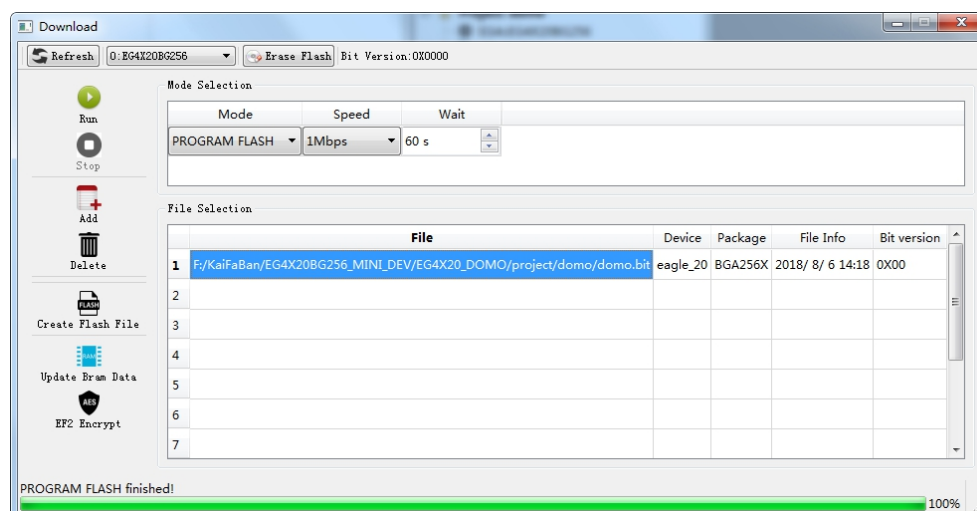


图 2 Download 界面

开发板上, 用示波器测试 program 信号和 done 信号(上升沿触发), program 上升沿触与 done 信号的上升沿之差即为 flash 加载时间, 如图 3 所示。

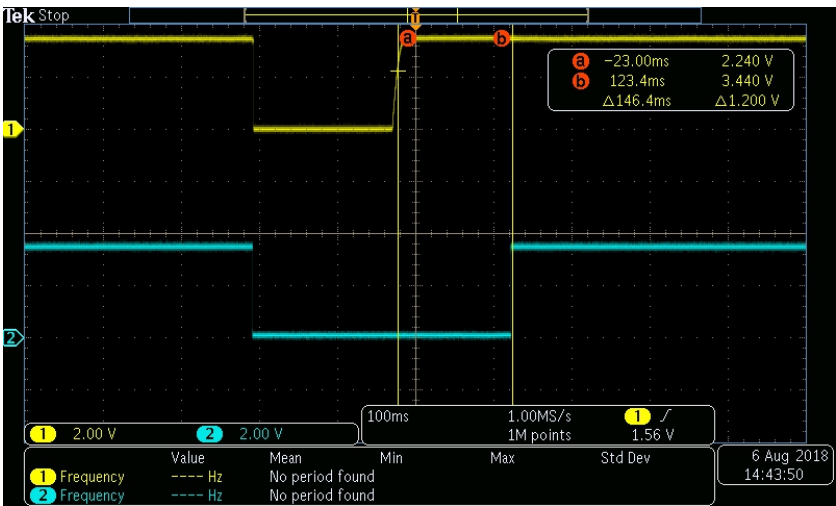


图 3 program 上升沿与 done 上升沿差

观察 program 信号上升沿跟 done 信号上升沿的时间，就是 flash 加载时间，更多测试见表 1 所示。

表 1 Flash 加载时间测试

位流长度 (Kbit)	时钟频率 (M)	加载位宽	实测加载时间 (ms)	计算加载时间 (ms)
615*8	2.5	1	1734s	1968
615*8	4.5	1	897.6	1093.333
615*8	6.5	1	629	756.92
615*8	9	1	481	546.667
615*8	10	1	389	492
615*8	12	1	341	410
615*8	13.5	1	309	364.444
615*8	20	1	209	246
615*8	24	1	177	205
615*8	30	1	146	164

注 1：实测加载时间是示波器测量的实际加载时间；

注 2：计算加载时间是通过公式：加载时间 = 位流长度/时钟频率/加载位宽。

实际测量的加载时间跟计算得来的加载时间接近, 偏差由芯片内部 osc 频率偏差造成的，误差小于 30%，符合指标要求（OSC 精度在没有 trim 条件下正负 30%）。

4 参考文档

Eagle_DataSheet.pdf

版本信息

日期	版本	修订记录
2018/6/13	1.0	初始版本
2018/8/6	1.1	修改格式、增加相关图片
2018/9/13	1.2	文档格式统一化
2019/8/5	1.3	更新文档页眉页脚

版权所有©2021 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除安路科技在其产品的销售条款和条件中声明的责任之外，安路科技概不承担任何法律或非法律责任。安路科技对安路科技产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。安路科技对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，安路科技保留修改文档中任何内容的权利，恕不另行通知。安路科技不承诺对这些文档进行适时的更新。